

(19) Japanese Patent Office (JP)

(11) Publication Number of Patent Application: H07-294870

(43) Date of Publication: November 10, 1995

(12) Publication of Patent Application (A)

(51)

Int.Cl. <sup>6</sup>	Identification Symbol	JPO filing number	FI
G02F 1/133	505		
1/1343			
1/136	500		
G09G 3/36	9056-4M	H01L 29/78	311 A

Request for Examination: Not requested

The Number of Claims: 44 OL (12 pages in total) continued on last page

(21) Application Number: H06-85044

(22) Date of Filing: April 22, Heisei 06 (1994)

(71) Applicant: 000002369

SEIKO EPSON CORPORATION

2-4-1 Nishi Shinjuku, Shinjuku-ku, Tokyo, Japan

(72) Inventor: Seiichiro Higashi

c/o SEIKO EPSON CORPORATION

3-3-5 Owa, Suwa-shi, Nagano, Japan

(74) Representative: Patent attorney: Kisaburo Suzuki and one other

(54) [Title of Present invention] THIN FILM TRANSISTOR CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME

(57) [Abstract]

[Purpose] To make a smaller and higher definition liquid crystal display device and to improve display quality thereof.

[Configuration] In a thin film transistor circuit and a liquid crystal display device using the same, switching circuits of data line driver circuits SW1, SW2, SW3... are efficiently laid out so that they can accommodate a fine pitch, and at the same time, a gate wire which drives these switching circuits is shared so that driving timing is synchronized. In addition, by making all the lead wires have the same shape, a thin film transistor circuit which has a wire configuration having no pattern dependency and uniform resistance values is provided. Thus, a driver circuit of a liquid crystal display device where excellent display quality can be obtained is provided as well as making a smaller and higher definition of liquid crystal display device can be realized.

[Scope of Claims]

[Claim 1] In a thin film transistor circuit formed between a pixel matrix region which is over the same substrate and an outer circumferential edge of the substrate, the thin film transistor circuit is characterized in that a data line driver circuit is formed in a direction (an X direction) of the outer circumferential edge, characterized by comprising video signal lines which are provided in parallel from a side of the outer circumferential edge of the data line driver circuit toward a formation region of the pixel matrix (a Y direction), a lead wire which is conductively connected in each video signal line with an interlayer insulating film therebetween and heads from the video signal line to the formation region of the pixel matrix, a switching circuit which is inserted between the lead wire and each data line which corresponds to each lead wire and where an operation can be switched into a state in which the lead wire and the data line are conductively connected to each other and a non-conductive state in accordance with a driving timing signal which is output from a driving timing control portion, and a gate line for driving the switching circuit which is formed from the driving timing control portion toward the switching circuit portion and crossed with the video signal line with the interlayer insulating film therebetween, and

inputs the driving timing signal into the switching circuit portion, and characterized in that adjacent circuits of the switching circuit are provided apart from each other by channel width or more in the Y direction.

[Claim 2], In a thin film transistor circuit formed between a pixel matrix region which is over the same substrate and an outer circumferential edge of the substrate, the thin film transistor circuit is characterized in that a data line driver circuit is formed in a side direction (an X direction) of the outer circumferential edge, characterized by comprising video signal lines which are provided in parallel from a side of the outer circumferential edge of the data line driver circuit toward a formation region of the pixel matrix (a Y direction), a lead wire which is conductively connected in each video signal line with an interlayer insulating film therebetween and heads from the video signal line to the formation region of the pixel matrix, a switching circuit which is inserted between the lead wire and each data line which corresponds to each lead wire and where an operation can be switched into a state in which the lead wire and the data line are conductively connected to each other and a non-conductive state in accordance with a driving timing signal which is output from a driving timing control portion, and a gate line for driving the switching circuit which is formed from the driving timing control portion toward the switching circuit portion and crossed with the video signal line with the interlayer insulating film therebetween, and inputs the driving timing signal into the switching circuit portion, and characterized in that a plurality of the switching circuits share the gate line for driving the switching circuit.

[Claim 3] In a thin film transistor circuit formed between a pixel matrix region which is over the same substrate and an outer circumferential edge of the substrate, the thin film transistor circuit is characterized in that a data line driver circuit is formed in a side direction (an X direction) of the outer circumferential edge, characterized by comprising video signal lines which are provided in parallel from a side of the outer circumferential edge of the data line driver circuit toward a formation region of the pixel matrix (a Y direction), a lead wire which is conductively connected in each video signal line with an interlayer insulating film therebetween and heads from the video signal line to the formation region of the pixel matrix, a switching circuit which is inserted between the lead

wire and each data line which corresponds to each lead wire and where an operation can be switched into a state in which the lead wire and the data line are conductively connected to each other and a non-conductive state in accordance with a driving timing signal which is output from a driving timing control portion, and a gate line for driving the switching circuit which is formed from the driving timing control portion toward the switching circuit portion and crossed with the video signal line with the interlayer insulating film therebetween, and inputs the driving timing signal into the switching circuit portion, and characterized in that a constant layout pattern is formed by providing  $m$  ( $m$  is an integer) switching circuits which are adjacent to each other in a Y direction apart from each other by the channel width or more respectively and these  $m$  switching circuits share the gate line for driving the switching circuit.

[Claim 4] The thin film transistor circuit described in Claim 1, characterized in that the adjacent switching circuits are provided to each has a pitch  $D$  in a Y direction, and  $D = WV + SV$  is satisfied when width of the video signal lines is  $WV$  and distance between the video signal lines is  $SV$ .

[Claim 5] The thin film transistor circuit described in Claim 2, characterized in that the adjacent switching circuits are provided to each has a pitch  $D$  in a Y direction, and  $D = WV + SV$  is satisfied when width of the video signal lines is  $WV$  and distance between the video signal lines is  $SV$ .

[Claim 6] The thin film transistor circuit described in Claim 3, characterized in that the adjacent switching circuits are provided to each has a pitch  $D$  in a Y direction, and  $D = WV + SV$  is satisfied when width of the video signal lines is  $WV$  and distance between the video signal lines is  $SV$ .

[Claim 7] The thin film transistor circuit described in Claim 1, characterized in that the number of the video signal lines is  $m \times n$  ( $m, n$  are integers) and when a constant layout pattern is formed by providing  $m$  adjacent switching circuits which are apart from each other by the channel width or more in a Y direction, video signal lines to which the  $m$  switching circuits are connected through lead wires are at an interval of one per  $n$  among  $m \times n$  video signal lines.

[Claim 8] The thin film transistor circuit described in Claim 2, characterized in that the

number of the video signal lines is  $m \times n$  ( $m, n$  are integers) and when a constant layout pattern is formed by providing  $m$  adjacent switching circuits which are apart from each other by the channel width or more in a Y direction, video signal lines to which the  $m$  switching circuits are connected through lead wires are at an interval of one per  $n$  among  $m \times n$  video signal lines.

[Claim 9] The thin film transistor circuit described in Claim 3, characterized in that the number of the video signal lines is  $m \times n$  ( $m, n$  are integers) and when a constant layout pattern is formed by providing  $m$  adjacent switching circuits which are apart from each other by the channel width or more in a Y direction, video signal lines to which the  $m$  switching circuits are connected through lead wires are at an interval of one per  $n$  among  $m \times n$  video signal lines.

[Claim 10] The thin film transistor circuit described in Claim 1, characterized in that all the lead wires have the same wire length and wire width of the lead wires when the wire length of the lead wire is defined by distance between contact holes where each of a video signal line and a switching circuit is conductively connected to the lead wire.

[Claim 11] The thin film transistor circuit described in Claim 2, characterized in that all the lead wires have the same wire length and wire width of the lead wires when the wire length of the lead wire is defined by distance between contact holes where each of a video signal line and a switching circuit is conductively connected to the lead wire.

[Claim 12] The thin film transistor circuit described in Claim 3, characterized in that all the lead wires have the same wire length and wire width of the lead wires when the wire length of the lead wire is defined by distance between contact holes where each of a video signal line and a switching circuit is conductively connected to the lead wire.

[Claim 13] The thin film transistor circuit described in Claim 4, characterized in that all the lead wires have the same wire length and wire width of the lead wires when the wire length of the lead wire is defined by distance between contact holes where each of a video signal line and a switching circuit is conductively connected to the lead wire.

[Claim 14] The thin film transistor circuit described in Claim 5, characterized in that all the lead wires have the same wire length and wire width of the lead wires when the wire length of the lead wire is defined by distance between contact holes where each of a video signal

line and a switching circuit is conductively connected to the lead wire.

[Claim 15] The thin film transistor circuit described in Claim 6, characterized in that all the lead wires have the same wire length and wire width of the lead wires when the wire length of the lead wire is defined by distance between contact holes where each of a video signal line and a switching circuit is conductively connected to the lead wire.

[Claim 16] The thin film transistor circuit described in Claim 7, characterized in that all the lead wires have the same wire length and wire width of the lead wires when the wire length of the lead wire is defined by distance between contact holes where each of a video signal line and a switching circuit is conductively connected to the lead wire.

[Claim 17] The thin film transistor circuit described in Claim 8, characterized in that all the lead wires have the same wire length and wire width of the lead wires when the wire length of the lead wire is defined by distance between contact holes where each of a video signal line and a switching circuit is conductively connected to the lead wire.

[Claim 18] The thin film transistor circuit described in Claim 9, characterized in that all the lead wires have the same wire length and wire width of the lead wires when the wire length of the lead wire is defined by distance between contact holes where each of a video signal line and a switching circuit is conductively connected to the lead wire.

[Claim 19] The thin film transistor described in Claim 1, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 20] The thin film transistor described in Claim 2, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 21] The thin film transistor described in Claim 3, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 22] The thin film transistor described in Claim 4, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 23] The thin film transistor described in Claim 5, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 24] The thin film transistor described in Claim 6, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 25] The thin film transistor described in Claim 7, characterized in that a wiring

material of the lead wires is a high melting point metal.

[Claim 26] The thin film transistor described in Claim 8, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 27] The thin film transistor described in Claim 9, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 28] The thin film transistor described in Claim 10, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 29] The thin film transistor described in Claim 11, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 30] The thin film transistor described in Claim 12, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 31] The thin film transistor described in Claim 13, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 32] The thin film transistor described in Claim 14, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 33] The thin film transistor described in Claim 15, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 34] The thin film transistor described in Claim 16, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 35] The thin film transistor described in Claim 17, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 36] The thin film transistor described in Claim 18, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 37] In a liquid crystal display device having a thin film transistor circuit formed between a pixel matrix region over the same substrate and an outer circumferential edge of the substrate, the liquid crystal display device is characterized that a data line driver circuit is formed in a side direction (an X direction) of the outer circumferential edge, characterized by comprising video signal lines which are provided in parallel from a side of the outer circumferential edge of the data line driver circuit toward a formation region of the pixel matrix (a Y direction), a lead wire which is conductively connected in each video

signal line with an interlayer insulating film therebetween and heads from the video signal line to the formation region of the pixel matrix, a switching circuit which is inserted between the lead wire and each data line which corresponds to each lead wire and where an operation can be switched into a state in which the lead wire and the data line are conductively connected to each other and a non-conductive state in accordance with a driving timing signal which is output from a driving timing control portion, and a gate line for driving the switching circuit which is formed from the driving timing control portion toward the switching circuit portion and crossed with the video signal line with the interlayer insulating film therebetween, and inputs the driving timing signal into the switching circuit portion, and characterized in that adjacent circuits of the switching circuit are provided apart from each other by channel width or more in the Y direction.

[Claim 38] The liquid crystal display device described in Claim 37, characterized in that when the number of the video signal lines is  $3 \times n$  ( $n$  is an integer), three switching circuits are provided apart from each other by the channel width or more in a Y direction and these three switching circuits share a gate line for driving the switching circuit.

[Claim 39] The liquid crystal display device described in Claim 37, characterized in that the number of the video signal lines is  $m \times n$  ( $m, n$  are integers) and when a constant layout pattern is formed by providing  $m$  adjacent switching circuits which are apart from each other by the channel width or more in a Y direction, video signal lines to which the  $m$  switching circuits are connected through lead wires are at an interval of one per  $n$  among  $m \times n$  video signal lines.

[Claim 40] The liquid crystal display device described in Claim 38, characterized in that the number of the video signal lines is  $m \times n$  ( $m, n$  are integers) and when a constant layout pattern is formed by providing  $m$  adjacent switching circuits which are apart from each other by the channel width or more in a Y direction, video signal lines to which the  $m$  switching circuits are connected through lead wires are at an interval of one per  $n$  among  $m \times n$  video signal lines.

[Claim 41] The liquid crystal display device described in Claim 37, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 42] The liquid crystal display device described in Claim 38, characterized in that a



wiring material of the lead wires is a high melting point metal.

[Claim 43] The liquid crystal display device described in Claim 39, characterized in that a wiring material of the lead wires is a high melting point metal.

[Claim 44] The liquid crystal display device described in Claim 40, characterized in that a wiring material of the lead wires is a high melting point metal.

[Detailed Description of the Present invention]

[0001]

[Field of Industrial application] The present invention relates to a thin film transistor circuit and a liquid crystal display using a thin film transistor. In particular, the present invention relates to a wiring structure and a wiring material on the periphery of a switching circuit of a driving circuit of a liquid crystal display which is over an insulating substrate.

[0002]

[Related Art] In a liquid crystal display which displays an image by utilizing electrooptical property of liquid crystal, by forming thin film elements such as TFTs (Thin Film Transistor) over a transparent substrate as switching elements of respective pixels to control voltage applied to liquid crystal, excellent display quality has been successfully obtained. Further, instead of using an LSI, a driving circuit built-in technique where a driving circuit of a liquid crystal display is integrated with TFTs on the periphery of a pixel matrix which is over the substrate has been widely used. With this driving circuit built-in technique, a low cost can be realized as well as a liquid crystal display device can be made smaller.

[0003] In general, in a liquid crystal display device using an active matrix method, a pixel matrix 22, a scan line driver circuit 21, and a data line driver circuit 12 which are toward a surface of a transparent substrate 11 are formed as shown in a block diagram in FIG. 1 (here, description is made of the case where the number of video signal lines is three). The scan line driver circuit 21 includes a scan line driving timing control portion and a buffer circuit, and drives scan lines Y1, Y2, Y3... with an output signal of the buffer circuit. When the scan line becomes on a selected state, resistance of a pixel TFT 4 which is connected to this becomes low so that the pixel TFT 4 becomes on a state where a video signal can be written into a liquid crystal capacitor 2 and a storage capacitor 3. The data line driver circuit 12 includes a data line drive timing control portion which is formed of a shift

register and the like, switching circuits SW1, SW2, SW3... which are formed with TFTs, and video signal lines V1, V2, and V3. Bit signals which are output from the data line drive timing control portion can be input from a data line drive timing control portion side into each of the switching circuits SW1, SW2, SW3... through gate lines for driving the switching circuits G1, G2, G3.... Therefore, when the bits signals are input into each of the switching circuits SW1, SW2, SW3... through the gate lines for driving the switching circuits G1, G2, G3..., each of the switching circuits SW1, SW2, SW3... switches from a high resistance state into a low resistance state. With this switching, video signals which are supplied to the video signal lines V1, V2, and V3 are held in data lines X1, X2, X3...; in pixels P1, P2, P3..., the video signals change an orientation state of liquid crystal in a liquid crystal cell 2 to display a screen.

[0004] In recent years, in a driving circuit built-in type liquid crystal display device, making smaller and making higher definition have been proceeded and a pitch of the pixel matrix has greatly been decreased. In accordance with this, a wiring pitch tends to decrease as well as the number of scan lines and data lines tends to increase, and thus, in a driver built-in type liquid crystal display device, a pitch of the switching circuit which is located near a pixel portion is particularly required to be decreased. However, since a TFT cannot have a gate with length on the order of sub microns like an LSI, reducing an area which is occupied by one circuit is limited by all means. In order to solve this problem, there is a technique where the number of the data lines itself is decreased (Japanese Published Patent Application No. Hei. 05-265045). This is a method in which the number of the data lines is reduced to half whereas the number of the scan lines is increased by sharing the data line with two pixels to increase the wiring pitch of the data lines which have a hard pitch twice.

[0005] Next, an example of a manufacturing process of a TFT is described (refer to FIG. 3). Semiconductor layers 1 of polysilicon or the like which later become a channel region and source and drain regions are formed first. After that, gate insulating films 8 are formed by oxidizing these semiconductor layers by thermal oxidation or the like, and a gate line and gate electrodes G1P and G1N are formed over them using silicide, a high melting point metal, or the like. After that, by conducting ion implantation of  $n^+$  and  $p^+$  using these

electrodes as a mask to form the source and drain regions, a self-aligned type TFT is formed. After forming interlayer insulating films 9 thereover, contact holes 5 are made in order to electrically connect source and drain portions and wires to each other, and low resistance metal wires 6 and 7 of aluminum or the like are formed, and thus, P-type and N-type TFTs are completed. The gate wires G1P and G1N are separated from the aluminum wires 6 and 7 by the interlayer insulating films 9 in this manner, so that a structure in which these wires are electrically connected to each other only through the contact holes is provided. In this TFT process, high temperature activation is conducted after forming a source and a drain by an ion implantation method. Therefore, the gate wires must be formed from materials which can withstand this high temperature, so that metal wires with low resistance cannot be used. Accordingly, a material such as polysilicon or silicide is normally used. As a result, it is normal that the gate wires have higher resistance than the metal wires.

[0006] In FIG. 2, a part of a layout of the video signal line of the data line driver circuit and therearound over the substrate is illustrated (here, description is made of the case where CMOS analog switches are used as the switching circuits). In terms of an arrangement of the data line driver circuit 12 and the pixel matrix 22, the video signal lines V1, V2, and V3 and lead wires S1, S2, S3... are inevitably crossed with each other. Thus, over a substrate of an actual liquid crystal display as illustrated, the lead wires S1, S2, S3... are provided in a layer which is different from the video signal lines with an insulating film therebetween and electrically connected only to a necessary video signal line through the contact holes 5.

[0007] FIG. 3 is a cross-sectional view of the switching circuits (CMOS analog switches) in FIG. 2. A Video signal from the video signal lines is input into a source side 7 of P-channel and N-channel transistors which are formed over an insulating substrate through the lead wires. When a signal from the data line drive timing control portion is input into the gate electrodes for driving the switching circuits G1P and G1N, resistance of a channel region of at least either the P-channel transistor or the N-channel transistor becomes low, and thus, the video signal is written into the data lines through drain-side wires 6 which are connected to the drain through the contact holes 5.

[0008] Here, correspondence of wires adjacent to the video signal lines to the TFT process is described. The video signal lines V1 to V3 need a low resistance wire since the video signal lines V1 to V3 have larger load capacitance, and a metal wire of aluminum or the like is usually employed. This is made through the same process as the metal wires 6 and 7 of the TFT manufacturing process. On the other hand, the lead wires S1 to S3 which are crossed with the video signal lines are formed below the video signal lines with the interlayer insulating film 9 therebetween, since they have to be formed in a layer which is different from the metal wires, and materials which are the same as the gate wires G1P and G1N of the TFT manufacturing process are used. The gate wires have higher resistance values than the metal wires, and portions of the lead wires become higher resistance compared to the video signal lines. In particular, in the case where the metal wires cannot be used due to high process temperature and a material such as silicide or the like is used, sheet resistance of the wires becomes higher than the aluminum wires by one digit or more in some cases. For example, in the case of using aluminum for a wire having a film thickness of 5000 Å, sheet resistance of this wire is approximately around 0.05 Ω; compared to this, in the case of using polysilicon for the same wire, sheet resistance of this wire is approximately around 15 Ω. As a result, writing the video signal into the data lines is greatly influenced by the resistance of the lead wires. Since each of the lead wires is connected to a different video signal line, variation in resistance values of respective wires is generated. Thus, variation in writing of the video signal into the data lines is generated, which results in decrease in display quality.

[0009] In order to prevent this decrease in the display quality, methods illustrated in FIGS. 4 and 5 are used conventionally. In the method in FIG. 4, variation in resistance values among the wires is eliminated by increasing wire width of the lead wires S1, S2, S3... in proportion to wire length. Further, in the method in FIG. 5 (Japanese Published Patent Application No. Hei. 05-307165), variation in the resistance values is eliminated by changing shapes of the lead wires in response to the wire length.

[0010]

[Problems to be solved by the invention] A conventional method of decreasing data wires increases load of the data lines, so that the number of pixels increases; in the case where

time for writing the signal into the data lines is short, it leads to increase in load of the data line driver circuit. Since a TFT has worse crystallinity and higher on-resistance compared to a single crystal MOSFET which is formed over a silicon substrate, particularly in a driving circuit built-in type liquid crystal display device, increase in load of switching circuits leads to decrease in display quality. Accordingly, an efficient layout of the switching circuits is needed without decreasing the number of the data lines.

[0011] In addition, in a conventional technique is characterized in that values of wire resistance are equalized by varying shapes of respective lead wires. Therefore, in the conventional method, a size of resistance of the lead wires has pattern dependency. That is, although patterns are formed so that the lead wires have uniform resistance values over a mask, patterns which are actually over a substrate have different completion size in accordance with their shapes; as a result, the resistance values of the lead wires vary by respective shapes of the wires. Thus, in a finished liquid crystal display device, there is still variation in the display quality. It is difficult to design a pattern over a mask considering this pattern dependency; if that is possible, there is a problem in that this process cannot accommodate when process states change.

[0012] In addition, in an active matrix liquid crystal display device, the number of video signal lines tends to increase in accordance with increase in the number of the pixels due to color display, and making smaller and higher definition. This is for decreasing substantial writing frequency by increasing the number of the video signal lines. Therefore, the number of intersections of the lead wires and the video signal lines increases and length of the lead wires gets longer at the same time. In the conventional method, as the length of the lead wires gets longer, difference among the respective shapes of the lead wires increases so that the pattern dependency increases. In other words, the conventional method has a problem in that reliability decreases as the number of the pixels increases and the number of the video signal lines increases.

[0013] As described above, problems of the conventional technique are that a thin film transistor which can accommodate a fine pitch is needed and uniformity of writing of a video signal is maintained at the same time.

{0014]

[Means for Solving the Problem] In FIG.1, there is the data line driver circuit 12 which is formed between the pixel matrix 22 which is over the substrate 11 and an outer circumferential edge of the substrate, the direction (a lateral direction in the diagram) of a side of the outer circumferential edge is denoted by an X direction and a direction from the outer circumferential edge to the pixel matrix (a longitudinal direction in the diagram) is denoted by a Y direction. The present invention is characterized in that circuits using thin film transistors are arranged in the Y direction apart from each other so that a layout of the X direction can also accommodate the fine pitch, and variation among the wires of the lead wires is suppressed by optimizing arrangements of the switching circuits and the video signal lines. In addition, it is characterized in that variation in display characteristics is eliminated to improve display performance as well as a layout which accommodates the fine pitch without process dependency and with stable resistance values can be provided by uniforming the shapes of the lead wires.

[0015]

{Embodiments}

(Embodiment 1) In FIG. 6, an embodiment of the present invention in the case where switching circuits using thin film transistors is applied to the driving circuit of the liquid crystal display device is described. Here, a part of a wire configuration of the switching circuits and the video signal line periphery is illustrated. Three video signal lines V1, V2, and V3 are connected to the respective data lines X1 to X3 through the lead wires S1 to S3 and the switching circuits SW1 to SW3. The respective switching circuits operate switching of high resistance and low resistance in accordance with timing where bit signals at which are output from the driving timing control portion is applied to a gate line G123 for the switching driving circuits.

[0016] In a switching circuit such as an analog switch, the video signals are written in data lines in a short period of time so that resistance is required to be sufficiently low while it is on a selected state. However, a TFT has poor crystallinity compared to a single crystal MOSFET so that in the case of forming the switching circuit such as an analog switch, wide channel width is required in order to obtain sufficiently low on-resistance. Actually, the channel width is required to be wider by one digit or more compared to a case of the

single crystal MOSFET. In addition, channel length cannot be made short like the single crystal MOSFET so that shortening a pitch of the X direction is limited; as a result, the switching circuits take up a considerable large area in the driving circuits. Accordingly, in the driving circuits of the liquid crystal display, it is a point of making smaller and higher definition that how this switching circuit is efficiently arranged in small space. Further, in the case of performing color display using color filters, the number of video signal lines is generally  $3n$  ( $n$  is a positive integer) since video signals of respective colors of R, G, and B are input from the outside. Timing of on/off of the switching circuit which writes these signals in respective data lines has to be equalized at least at a time of writing signals of three colors.

[0017] The thin film transistor circuits of the present invention shown in FIG. 6 are characterized in that the switching circuits SW1 to SW3 which are adjacent are arranged to be separated from each other by channel width ( $W$ ) of TFT which forms the switching circuit or more ( $D > W$  in FIG. 6) in the Y direction (the longitudinal direction in the diagram). Thus, when the switching circuits are arranged apart from each other in the X direction (the lateral direction in the diagram), a pitch of the X direction per switching circuit is decreased so that the switching circuits can accommodate the fine pixel pitch, and thus, the liquid crystal display device can be easily made smaller and higher definition.

[0018] In the case of the single crystal MOSFET, if the wire over the silicon substrate is long, capacitance is formed between the wire and the silicon substrate to a corresponding extent, so that it is an iron rule to shorten the wire length anyhow. Since the switching circuits formed with the thin film transistors need considerably long channel width as described above, the switching circuits is enlarged in the Y direction, and thus, in the case of employing the arrangement shown in FIG. 6, the wire length of the lead wires S1 to S3 would be considerably longer. In the case of applying this to the wires which are over the silicon substrate, parasitic capacitance is very problematic; however, in wires in thin film transistors which are over an insulating substrate, no capacitance is formed between the wire and the substrate so that increase in the length of the wire is hardly problematic. Accordingly, the arrangement of the switching circuits of the present invention is particularly effective in the case of forming the circuits using thin film transistors.

[0019] In FIG. 7, the thin film transistor circuits of the present invention is illustrated. The thin film transistor circuits of the present invention are characterized in that a plurality of switching circuits share the gate lines for driving the switching circuits. Three switching circuits SW1 to SW3 are driven by signals which are input to the gate lines for driving the switching circuits G1 to G3. These gate lines for driving the switching circuits G1 to G3 are electrically connected to one gate line G123 for driving the switching circuits, and this G123 only crosses into the video signal lines in the layout. In the arrangement of the present invention shown in FIG. 7, since three switching circuits share the gate lines for driving the switching circuits, the number of gate lines for driving the switching circuits which cross into the video signal lines in order to drive these three switching circuits is one; thus, the gate lines for driving the switching circuits crosses the video signal lines only at three portions. Compared to this, in conventional wires in FIG. 4 and FIG. 5, in order to drive three switching circuits SW1 to SW3, three gate lines for driving the switching circuits G1 to G3 are provided; thereby, the portions where the gate lines for driving the switching circuits and the video signal lines are crossed with each other amounts to nine. Since the number of the portions where the gate lines for driving the switching circuits and the video signal lines are crossed with each other can be reduced by sharing the gate lines with a plurality of switching circuits in this manner, decrease in yield caused by a short-circuit defect between the wires can be prevented in accordance with this. At the same time, since capacitance between the wires which is between the video signal lines and the gate lines for driving the switching circuits is decreased, load capacitance of the video signal lines is decreased so that the load of an external circuit for writing video signals into the video signal lines can be decreased as well.

[0020] Further, as shown in FIG. 6, the gate lines G123 and G456 for driving the switching circuits can be shared by providing the switching circuits SW1 to SW6 in the Y direction apart from each other by the channel width W or more. As shown in FIG. 6, space of the Y direction in which the gate lines for driving the switching circuits G123 and G456 can be laid out is provided between the switching circuits SW1 to SW6 which are provided apart from each other in the Y direction. When the length of the layout space of the gate lines for driving the switching circuits of the Y direction plus the channel width W of the



switching circuits is denoted by D, the gate lines for driving the switching circuits can be provided between the switching circuits which are provided apart from each other in the Y direction if at least switching circuits are provided apart from each other in the Y direction at the pitch D. Thus, the gate lines for driving the switching circuits can be shared. This layout partially saves space which is taken up by the gate wires so that the thin film transistor circuit can accommodate the fine pitch, and further, the switching circuits sharing the gate lines for driving the switching circuits can be driven exactly at the same timing. If the switching circuits which must be driven at the same timing are provided apart from each other by the channel width W or more to share these gate lines in the Y direction, these switching circuits are surely driven at the same timing. With the arrangement where the switching circuits are provided apart from each other by the channel width W or more in the Y direction and the gate lines for driving the switching circuits are shared as described above, the driving timing can be equalized as well as the thin film transistor circuit can accommodate the fine pitch. Further, the yield can be improved and the load of the external circuit can be reduced due to decrease in the number of the gate lines for driving the switching circuits which cross the video signal lines, thereby the arrangement of the present invention is especially effective in the case of applying it to switching circuits.

[0021] The thin film transistor circuit of the present invention is characterized in that when the pitch of each switching circuit in the Y direction is D; the wire width of the video signal lines is WV; and distance between wires of the video signal lines is SV,  $D = WV + SV$  is satisfied. Here, as shown in FIG. 6, D is determined by the pattern pitch in the Y direction of switching circuits which are adjacent to each other; WV is determined by the wire width of the video signal lines in the Y direction; and SV is determined by distance between the video signal lines apart from each other in the Y direction. By setting sizes of the video signal lines and the switching circuits so as to satisfy such states, distance between the switching circuit and the video signal line can be equalized easily. This helps the wire length of the lead wires which connects the switching circuits and the video signal lines to each other to be all the same so that variation in resistance values of the lead wires can be suppressed, and thus, writing characteristics of the video signal lines to the data

lines are improved. At the same time, since the lead wires have the same wire length, the resistance values of the lead wires are simply determined by wire width of the lead wires. Accordingly, calculation of wire resistance in a design step becomes easy, so that efficiency of design can be improved.

[0022] In FIG. 8, a schematic diagram of the thin film transistor circuits of the present invention which is related to a connection between the video signal lines and the switching circuits is shown. The thin film transistor of the present invention is characterized in that the number of the video signal lines is  $m \times n$  ( $m, n$  are integers), and when  $m$  switching circuits are provided apart from each other by the channel width or more in the Y direction, video signal lines to which these  $m$  switching circuits are connected through the lead wires are at an interval of one per  $n$  in  $m \times n$  video signal lines. By combining the connection of the video signal lines and the switching circuits as described above, variation in length between the lead wires which connect these video signal lines and the switching circuits to each other can be minimized. For example, in FIG. 8, six video signal lines are arranged by satisfying  $m = 3$  and  $n = 2$ . Three ( $=m$ ) switching circuits SW1, SW2, and SW3 are provided apart from each other by the channel width  $W$  or more in the Y direction, and video signal lines to which these switching circuits are connected through the lead wires S1, S2, and S3 are V1, V2, and V3 respectively, and these video signal lines are at an interval of one per two ( $=n$ ). If SW3 is connected to V3, SW2 which is next to it is connected to V6, and SW1 which is next to it is connected to V2, other lead wires S4, S5, and S6 become inevitably shorter than the lead wires S1, S2, and S3. However, if the video signal lines and the switching circuits are connected to each other in accordance with a connection method of the present invention, variation in the wire length of the lead wires can be minimized. Further, if space which is taken up by the switching circuits and the video signal lines is set as appropriate, the distance between the switching circuit and the video signal line can be all equalized.

[0023] In addition, as shown in FIG. 8, by equalizing the wire width of all the lead wires as well as equalizing wire length LS of the lead wires, shapes of all the lead wires can be uniformed. Here as shown in FIG. 8, the wire length of the lead wires is defined by intervals between contact holes LS for connecting the lead wires to the video signal lines

and the switching circuits respectively. In FIG. 8, the lead wires S1 to S6 have the same wire length LS and the same wire width to have a certain resistance value.

[0024] In the liquid crystal display device, in the case of assuming a series of path of the video signal lines, the switching circuits, and the data lines as the whole, they form a low pass circuit including resistance connected in series and capacitance connected in parallel. Accordingly, how many the video signals can be written into the data lines is determined by a time constant which is a product of the resistance value and the capacitance value. Therefore, when this time constant varies by each data line, nonuniform writing is performed. In order to prevent this, the resistance values of the lead wires are particularly required to be equalized in the series of the path. Since the wires of the liquid crystal display device do not have load capacity which is generated between the wires and the substrate, variation in the wire resistance has greater influence on writing of the video signals than the variation in the wire length. By uniforming the shapes (the length and the width) of the lead wires as described above, shapes of paths of video signals which are written from the video signal lines into the data lines through the lead wires and analog switches are uniformed, and thus, the decrease in the display quality due to the variation in the writing characteristics can be prevented. At the same time, since the shapes are uniformed in all the paths of the video signals, a pattern which is over the substrate is always the same completion shape without the pattern dependency. In addition, even if a formation process of the thin film transistors changes, the completion shape is always the same. Therefore, a thin film transistor circuit which has stable writing characteristics without being influenced by the process can be obtained.

[0025] In FIG. 9, an embodiment of the case where a high melting point metal is used for the lead wires is shown. Compared to the case where wires of silicide or the like are used as the lead wires as described above, a high-temperature process can be used by using a high melting point metal such as tantalum, tungsten, or chrome; thus, the resistance values of the lead wires S1 to S6 can be decreased by one digit or more at the same time. Therefore, decrease in the writing characteristics of the video signal lines to the data lines due to the resistance values of the lead wires does not matter, and thus, the distance SV between wires of the video signal lines can be made long as shown in FIG. 9. Thus,

capacitance between the wires which is among the video signal lines is decreased so that capacitance of the video signal lines itself can be decreased. In long wires which are over the insulating substrate such as video signal lines, there is no capacitance between the wires and the substrate; however, capacitance of the wires which are adjacent to each other becomes effective instead. This particularly becomes more significant as longer the wire is as the video signal lines. By taking the distance between the wires large as illustrated, the capacitance between wires of the video signal lines is reduced, so that writing of video signals from the external into the video signal lines can be improved. By using a high melting point material for the lead wires in this manner, the time constants of the video signal lines are decreased so that writing characteristics of high frequency video signals can be improved; thus, a thin film transistor circuit having excellent frequency characteristics can be obtained.

[0026] (Embodiment 2) The liquid crystal display device of the present invention is characterized by having the layout shown in FIG. 6 as the wiring structure of the periphery of the switching circuits shown in the block diagram in FIG. 1. Usually, in the case of performing color display by using color filters, video signals which accommodate red (R), green (G), and blue (B) is input from a data line driver circuit side. Accordingly, assuming the case of using the same pixel size as monochrome display, the same pixel is divided into three in the X direction and color filters of R, G, and B are made to correspond to respective pixels. That is, the number of pixels in the X direction is tripled and a pixel pitch is one third. Therefore, particularly in the case of the color display, how the thin film transistors in the X direction are made to accommodate the fine pitch in the data line driver circuit determines making smaller and higher definition. By providing switching circuits apart from each other by the channel width or more in the Y direction as in the layout of the switching circuits shown in FIG. 6, a pitch in the X direction which is taken up by a switching circuit is decreased so that the thin film transistor circuits can accommodate the fine pitch in the X direction while keeping writing capability of the data lines. Thus, the liquid crystal display device can accommodate the color display without changing the size of the liquid crystal display device.

[0027] In addition, the liquid crystal display device of the present invention is

characterized by having the wiring structure in FIG. 6 as the wiring structure of the periphery of the switching circuits shown in the block diagram in FIG. 1. Here, the case where the number of the video signal lines is six is shown. Three switching circuits are space-savingsly provided in the Y direction, and these three switching circuits share the gate lines for driving the switching circuits. At the same time, video signals which accommodate three primary colors of R, G, and B are input from the external into each of the video signal lines V1, V2, and V3 to which the these three switching circuits are connected through the lead wires. Since resistance states of the three switching circuits which share the gate lines for driving the switching circuits always become low when signals are input to the gate lines for driving the switching circuits, video signals of R, G, and B can be written into the data lines exactly at the same timing. Thus, color unevenness caused by a lag of writing timing of each of signals of R, G, and B can be reduced so that a liquid crystal display device having excellent display characteristics can be obtained.

[0028] Further, the liquid crystal display device of the present invention is characterized by having the layout shown in FIG. 8 as the wiring structure of the periphery of the switching circuits shown in the block diagram in FIG. 1. In the case of performing color display, a plurality of video signal lines are inevitably needed and respective signals are required to be free from variation. Since the shapes of the lead wires can be almost the same for all the data lines by using the layout in FIG. 8, variation in writing characteristics of each data line can be eliminated; hereby, unevenness of luminance of each data line can be eliminated.

[0029] The liquid crystal display device of the present invention is characterized in that a lead wire material of a high melting point metal is used and by having the layout shown in FIG. 9 as the wiring structure of the periphery of the switching circuits shown in the block diagram in FIG. 1. When the capacitance between the wires of the video signal lines becomes large, the load of the external circuit for writing the video signals into the video signal lines is increased. This is because in order to lower the time constant by decreasing output resistance of the external circuit, power consumption of the external circuit is increased. Since the high melting point metal wires are used for the lead wires, the length

of the lead wires does not matter, which results in sufficient capacitance between the wires of the video signal lines which are next to each other. Accordingly, the load of the external circuit can be reduced.

[0030] As described above, with respect to the thin film transistor circuits of the present invention, a switching circuit to which is adjacent is separated in the Y direction by channel width of the switching circuit or more, so that the respective switching circuits can be provided by closing in the X direction; and the pitch in the X direction which is taken up by a switching circuit can be decreased. Accordingly, making the fine pitch can be realized. In addition, a plurality of switching circuits share the gate lines for driving the switching circuits, so that the number of the gate lines for driving the switching circuits which are crossed with the video signal lines can be decreased; hereby, defects caused by a short circuit at intersections of the video signal lines and the gate lines for driving the switching circuits can be decreased, which leads to improvement in the yield and cost reduction. Further, the adjacent switching circuits are provided apart from each other by the channel width and space where the gate lines for driving the switching circuits in the Y direction, and the gate lines for driving the switching circuits are shared, and thus, finer pitch can be realized and the switching circuits can be driven completely at the same timing. At the same time, the number of gate lines for driving the switching circuits which cross the video signal lines is decreased, so that the yield is improved, and thus, the load of an external circuit which writes video signals into the video signal lines can be reduced. In addition,  $D = WV + SV$  is satisfied where the pitch of the Y direction of each switching circuit is D; the wire width of the video signal lines is WV; and distance between wires of the video signal lines is SV, and distance between the video signal line and the switching circuit can be equalized easily, the variation in wire length of the lead wires can be suppressed so that the efficiency in the design step can be improved as well as the writing characteristics of the video signal lines to the data lines are improved. Further, since combination for connecting the video signal line and the switching circuit to each other is optimized, variation in distance between the lead wires can be minimized. Additionally, if sizes of the switching circuits and space between the video signal lines are set appropriately, the distance between the video signal lines and the switching circuits can

be equalized entirely. Furthermore, since all the lead wires have almost the same wire length and wire width of the lead wires are almost equal, the resistance of the lead wires can always be held constant even if the shapes of the wires change due to variation in manufacturing process, changes of the process, or the like, and thus, variation in output signals can be prevented. On the other hand, since the material of the lead wires is the high melting point metal, the resistance values of the lead wires can be greatly decreased. This helps an interval between the wires of the video signal lines which are next to each other be taken wide, hereby, the capacitance between the wires which is between the video signal lines can be decreased; thus, the writing characteristics of the video signals lines can be improved.

[0031] Since the driving circuits is formed by using a thin film transistor which can accommodate the fine pitch, making smaller and higher definition of the liquid crystal display device of the present invention can be realized. In particular, since the switching circuits can be miniaturized, color display can be performed by a liquid crystal display device having the same size. And since three switching circuits which write the video signals of R, G, and B into the data lines share the gate lines for driving the switching circuits, the writing timing of these three primary colors is synchronized completely so that excellent display characteristics without the color unevenness can be obtained. In addition, since thin film transistor circuits where the shapes of the lead wires are not influenced by the process are used, excellent display quality without luminance unevenness of each data line can be obtained. Moreover, since the capacitance between the wires which is between the video signal lines is decreased by using a high melting point metal as the lead wires, the load of the external circuit which inputs video signals into the liquid crystal display device can be reduced.

[Brief Description of the Drawings]

[FIG. 1] A block diagram which shows the whole structure of a liquid crystal display device.

[FIG. 2] A diagram which shows a layout of the video signal line of the data line driver circuit and therearound over the substrate of FIG. 1.

[FIG. 3] A cross-sectional view of the switching circuits of FIG. 2.

[FIG. 4] A diagram which shows a layout of the video signal line of a conventional data line driver circuit and therearound over the substrate.

[FIG. 5] A diagram which shows a layout of the video signal line of a conventional data line driver circuit and therearound over the substrate.

[FIG. 6] A diagram which shows a layout of the video signal line of a data line driver circuit using a thin film transistor of the present invention and therearound over the substrate.

[FIG. 7] A diagram which shows a layout of the video signal line of a data line driver circuit using a thin film transistor of the present invention and therearound over the substrate.

A diagram which shows a layout which is over a substrate of a video signal line periphery of a data line driver circuit using a thin film transistor of the present invention.

[FIG. 8] A diagram which shows a layout of the video signal line of a data line driver circuit using a thin film transistor of the present invention and therearound over the substrate.

[FIG. 9] A diagram which shows a layout of the video signal line of a data line driver circuit using a thin film transistor of the present invention and therearound over the substrate.

[Explanation of Numerals and Symbols]

11 transparent substrate

12 data line driver circuit

21 scan line driver circuit

22 pixel matrix

V1, V2, V3, V4, V5, and V6 video signal lines

SW1, SW2, SW3, SW4, SW5, and SW6 switching circuits

S1, S2, S3, S4, S5, and S6 lead wires

P1, P2, and P3 pixel matrixes

X1, X2, X3, X4, X5, and X6 data lines

Y1, Y2, and Y3 scan lines

G1, G2, G3, G4, G5, G6, G123, and G456 gate lines for driving switching circuits



- 1 semiconductor layer (including a P-region and an N-region)
- 2 liquid crystal cell
- 3 storage capacitor
- 4 pixel transistor
- 5 contact holes
- 6 drain-side wires of switching circuits
- 7 source-side wires of switching circuits
- 8 gate insulating film
- 9 interlayer insulating film

G1P, G2P, and G3P gate lines for driving P-channel switching circuits

G1N, G2N, and G3N gate lines for driving N-channel switching circuits

D pattern pitch between adjacent switching circuits in a Y direction

W channel width of switching circuit

WV wire width of video signal line

SV distance between wires of video signal lines

LS wire length of lead wires

Continued from the front page

(51)

Int.Cl. <sup>6</sup> Identification Symbol	JPO filing number	FI	Technical Indication
H01L 29/786			

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-294870

(43) 公開日 平成7年(1995)11月10日

(51) Int. Cl. <sup>6</sup>

G02F 1/133  
1/1343  
1/136  
G09G 3/36

識別記号

505

500

F I

9056-4M

H01L 29/78

311

A

審査請求 未請求 請求項の数44 O L (全12頁) 最終頁に続く

(21) 出願番号

特願平6-85044

(22) 出願日

平成6年(1994)4月22日

(71) 出願人

000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者

東 清一郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人

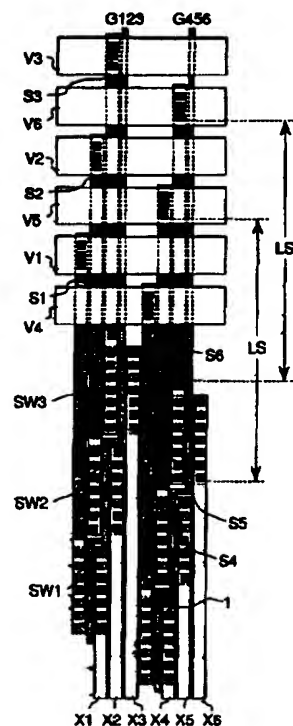
弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 薄膜トランジスタ回路およびそれを用いた液晶表示装置

(57) 【要約】

【目的】 液晶表示装置の小型高精細化、表示品質向上。

【構成】 薄膜トランジスタ回路およびそれを用いた液晶表示装置において、データ線駆動回路のスイッチ回路 SW1、SW2、SW3・・・を効率的にレイアウトすることによって微細ピッチに対応可能にすると同時に、これらのスイッチ回路を駆動するゲート配線を共有化することで駆動タイミングを一致させることを特徴とする。また、引き出し配線の形状を全て同じにする事によってパターン依存性がなく抵抗値のそろった配線構造を持つ薄膜トランジスタ回路を提供する。これにより液晶表示装置の小型高精細化を可能とすると同時に良好な表示品質を得ることのできる液晶表示装置の駆動回路を提供する。



## 【特許請求の範囲】

【請求項1】 同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路において、データ線駆動回路が前記外周縁の辺方向（X方向）に向かって形成され前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向（Y方向）に向かって並列する映像信号線と、これらの映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、これらの各引き出し配線とこれらの引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、前記スイッチ回路の隣接するものが、Y方向に該スイッチ回路のチャネル幅以上離れていることを特徴とする薄膜トランジスタ回路。

【請求項2】 同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路において、データ線駆動回路が前記外周縁の辺方向（X方向）に向かって形成され前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向（Y方向）に向かって並列する映像信号線と、これらの映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、これらの各引き出し配線とこれらの引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、複数の前記スイッチ回路が前記スイッチ回路駆動用ゲート線を共有していることを特徴とする薄膜トランジスタ回路。

【請求項3】 同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路において、データ線駆動回路が前記外周縁の辺方向（X方向）に向かって形成され前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向（Y方向）に向かって並列する映像信号線と、これらの映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、これらの各引き出し配線とこれらの引き出し配

線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、隣接する前記スイッチ回路m個（mは正の整数）をY方向に互いにそのチャネル幅以上離して配置することで一定のレイアウトパターンが形成されていて、これらm個のスイッチ回路がスイッチ回路駆動用ゲート線を共有していることを特徴とする薄膜トランジスタ回路。

【請求項4】 前記スイッチ回路の隣接するものがY方向にピッチDの間隔をもって配置されていて、前記映像信号線の幅がWV、前記映像信号線間の距離がSVであるとき $D = WV + SV$ であることを特徴とする請求項1記載の薄膜トランジスタ回路。

【請求項5】 前記スイッチ回路の隣接するものがY方向にピッチDの間隔をもって配置されていて、前記映像信号線の幅がWV、前記映像信号線間の距離がSVであるとき $D = WV + SV$ であることを特徴とする請求項2記載の薄膜トランジスタ回路。

【請求項6】 前記スイッチ回路の隣接するものがY方向にピッチDの間隔をもって配置されていて、前記映像信号線の幅がWV、前記映像信号線間の距離がSVであるとき $D = WV + SV$ であることを特徴とする請求項3記載の薄膜トランジスタ回路。

【請求項7】 前記映像信号線の本数が $m \times n$ 本（m、nは正の整数）であって、隣接する前記スイッチ回路m個をY方向に互いにそのチャネル幅以上離して配置することで一定のレイアウトパターンが形成されているとき、前記m個のスイッチ回路が引き出し配線を介して接続している映像信号線は、Y方向に並列する $m \times n$ 本の映像信号線においてn本に1本の間隔であることを特徴とする請求項1記載の薄膜トランジスタ回路。

【請求項8】 前記映像信号線の本数が $m \times n$ 本（m、nは正の整数）であって、隣接する前記スイッチ回路m個をY方向に互いにそのチャネル幅以上離して配置することで一定のレイアウトパターンが形成されているとき、前記m個のスイッチ回路が引き出し配線を介して接続している映像信号線は、Y方向に並列する $m \times n$ 本の映像信号線においてn本に1本の間隔であることを特徴とする請求項2記載の薄膜トランジスタ回路。

【請求項9】 前記映像信号線の本数が $m \times n$ 本（m、nは正の整数）であって、隣接する前記スイッチ回路m個をY方向に互いにそのチャネル幅以上離して配置することで一定のレイアウトパターンが形成されているとき、前記m個のスイッチ回路が引き出し配線を介して接

10

20

30

40

50

続している映像信号線は、Y方向に並列する $m \times n$ 本の映像信号線において $n$ 本に1本の間隔であることを特徴とする請求項3記載の薄膜トランジスタ回路。

【請求項 10】 前記引き出し配線の配線長を映像信号線、スイッチ回路それぞれと引き出し配線が導電接続するコンタクトホール間の距離で定義するとき、前記引き出し配線の配線長と配線幅が全ての引き出し配線間で等しいことを特徴とする請求項 1 記載の薄膜トランジスタ回路。

【請求項 11】 前記引き出し配線の配線長を映像信号 10 線、スイッチ回路それぞれと引き出し配線が導電接続するコンタクトホール間の距離で定義するとき、前記引き出し配線の配線長と配線幅が全ての引き出し配線間で等しいことを特徴とする請求項 2 記載の薄膜トランジスタ回路。

【請求項 12】 前記引き出し配線の配線長を映像信号線、スイッチ回路それぞれと引き出し配線が導電接続するコンタクトホール間の距離で定義するとき、前記引き出し配線の配線長と配線幅が全ての引き出し配線間で等しいことを特徴とする請求項 3 記載の薄膜トランジスタ 20 回路。

【請求項 13】 前記引き出し配線の配線長を映像信号線、スイッチ回路それぞれと引き出し配線が導電接続するコンタクトホール間の距離で定義するとき、前記引き出し配線の配線長と配線幅が全ての引き出し配線間で等しいことを特徴とする請求項 4 記載の薄膜トランジスタ回路。

【請求項 14】 前記引き出し配線の配線長を映像信号線、スイッチ回路それぞれと引き出し配線が導電接続するコンタクトホール間の距離で定義するとき、前記引き出し配線の配線長と配線幅が全ての引き出し配線間で等しいことを特徴とする請求項 5 記載の薄膜トランジスタ回路。

【請求項 15】 前記引き出し配線の配線長を映像信号線、スイッチ回路それぞれと引き出し配線が導電接続するコンタクトホール間の距離で定義するとき、前記引き出し配線の配線長と配線幅が全ての引き出し配線間で等しいことを特徴とする請求項 6 記載の薄膜トランジスタ回路。

【請求項 16】 前記引き出し配線の配線長を映像信号線、スイッチ回路それぞれと引き出し配線が導電接続するコンタクトホール間の距離で定義するとき、前記引き出し配線の配線長と配線幅が全ての引き出し配線間で等しいことを特徴とする請求項 7 記載の薄膜トランジスタ回路。

【請求項 17】 前記引き出し配線の配線長を映像信号線、スイッチ回路それぞれと引き出し配線が導電接続するコンタクトホール間の距離で定義するとき、前記引き出し配線の配線長と配線幅が全ての引き出し配線間で等しいことを特徴とする請求項 8 記載の薄膜トランジスタ 50

回路。

【請求項 18】 前記引き出し配線の配線長を映像信号線、スイッチ回路それぞれと引き出し配線が導電接続するコンタクトホール間の距離で定義するとき、前記引き出し配線の配線長と配線幅が全ての引き出し配線間で等しいことを特徴とする請求項 9 記載の薄膜トランジスタ回路。

【請求項１９】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項１記載の薄膜トランジスタ回路。

【請求項 20】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項 2 記載の薄膜トランジスタ回路。

【請求項21】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項3記載の薄膜トランジスタ回路。

【請求項 22】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項 4 記載の薄膜トランジスタ回路。

【請求項23】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項5記載の薄膜トランジスタ回路。

【請求項24】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項6記載の薄膜トランジスタ回路。

【請求項 25】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項 7 記載の薄膜トランジスタ回路。

【請求項２６】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項８記載の薄膜トランジスタ回路。

【請求項２７】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項９記載の薄膜トランジスタ回路。

【請求項 28】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項 10 記載の薄膜トランジスタ回路。

【請求項２９】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項１記載の薄膜トランジスタ回路。

【請求項30】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項12記載の薄膜トランジスタ回路。

【請求項 31】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項 13 記載の薄膜トランジスタ回路。

【請求項 32】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項 14 記載の薄膜トランジスタ回路。

【請求項 33】 前記引き出し配線の配線材料が高融点

金属であることを特徴とする請求項15記載の薄膜トランジスタ回路。

【請求項34】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項16記載の薄膜トランジスタ回路。

【請求項35】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項17記載の薄膜トランジスタ回路。

【請求項36】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項18記載の薄膜トランジスタ回路。

【請求項37】 同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路をもつ液晶表示装置において、データ線駆動回路が前記外周縁の辺方向(X方向)に向かって形成され前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向(Y方向)に向かって並列する映像信号線と、これらの映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、これらの各引き出し配線とこれらの引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、前記スイッチ回路の隣接するものが、Y方向に該スイッチ回路のチャネル幅以上離れていることを特徴とする液晶表示装置。

【請求項38】 前記映像信号線の本数が $3 \times n$ 本( $n$ は正の整数)であるとき、3個のスイッチ回路がY方向に互いにそのチャネル幅以上離れて配置されていてこれら3個のスイッチ回路がスイッチ回路駆動用ゲート線を共有していることを特徴とする請求項37記載の液晶表示装置。

【請求項39】 前記引き出し配線の配線長を映像信号線、スイッチ回路それぞれと引き出し配線が導電接続するコンタクトホール間の距離で定義するとき、前記引き出し配線の配線長と配線幅が全ての引き出し配線間で等しいことを特徴とする請求項37記載の液晶表示装置。

【請求項40】 前記引き出し配線の配線長を映像信号線、スイッチ回路それぞれと引き出し配線が導電接続するコンタクトホール間の距離で定義するとき、前記引き出し配線の配線長と配線幅が全ての引き出し配線間で等しいことを特徴とする請求項38記載の液晶表示装置。

【請求項41】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項37記載の液晶表示装置。

【請求項42】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項38記載の液晶表示装置。

【請求項43】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項39記載の液晶表示装置。

【請求項44】 前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項40記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜トランジスタ回路及び薄膜トランジスタを用いた液晶表示装置に関する。特に絶縁基板上の液晶表示装置の駆動回路のスイッチ回路周辺の配線構造、材料に関する。

【0002】

【従来の技術】液晶の電気光学特性を利用して映像を表示する液晶表示装置では、各画素のスイッチング素子としてTFT(薄膜トランジスタ)等の薄膜素子を透明基板上に形成し、液晶に印加する電圧を制御することによって優れた表示品質を得ることに成功している。更に、LSIの代わりに基板上画素マトリクス周辺にTFTで液晶表示体の駆動回路を一体形成する駆動回路内蔵技術も広く使われるようになった。この駆動回路内蔵技術により、液晶表示装置のコンパクト化ができると同時に低コスト化を実現することが可能となった。

【0003】一般的にアクティブマトリクス方式液晶表示装置は図1にブロック図で示すように(ここでは映像信号線の本数が3本の場合について示す)、透明基板11の表面側に画素マトリクス22、走査線駆動回路21、およびデータ線駆動回路12が形成されている。走査線駆動回路21は走査線駆動タイミング制御部、バッファ回路を有し、バッファ回路の出力信号で走査線Y1、Y2、Y3・・・を駆動する。走査線が選択状態になるとこれに接続された画素TFT4は低抵抗になり液晶容量2と保持容量3に映像信号が書き込める状態になる。データ線駆動回路12は、シフトレジスタ等からなるデータ線駆動タイミング制御部、TFTで構成されたスイッチ回路SW1、SW2、SW3・・・及び映像信号線V1、V2、V3を有し、データ線駆動タイミング制御部の側から各スイッチ回路SW1、SW2、SW3・・・にはデータ線駆動タイミング制御部から出力されたビット信号がスイッチ回路駆動用ゲート線G1、G2、G3・・・を介して入力可能になっている。このためビット信号がスイッチ回路駆動用信号線G1、G2、G3・・・を介して各スイッチ回路SW1、SW2、SW3・・・に入力されると、各スイッチ回路SW1、SW2、SW3・・・が高抵抗状態から低抵抗状態に切りかわる。このきりかえによって、映像信号線V1、V2、V3に供給されていた映像信号はデータ線X1、X

2、X3・・・に保持され、画素P1、P2、P3・・・においては、映像信号が液晶セル2の液晶の配向状態を変化させて画面を表示する。

【0004】近年、駆動回路内蔵型液晶表示装置においては小型化かつ高精細化が進み画素マトリクスのピッチは極めて小さくなってきている。これにともない走査線、データ線の数が増大し同時に配線ピッチが小さくなる傾向があり、ドライバー内蔵型の液晶表示装置においては特に画素部近辺に位置するスイッチ回路のピッチを小さくする必要がある。しかし、TFTはゲート長をLSIのようにサブミクロンのオーダーにすることはできないのでどうしても1つの回路が占有する面積を減らすには限界がある。この問題を解決するために、データ線の数そのものを減少させる技術がある(特開平5-265045)。これはデータ線を2つの画素で共有することによりデータ線の本数を半分にした一方で走査線を増やし、ピッチの厳しいデータ線側の配線ピッチを2倍にひろげる方法である。

【0005】次にTFTの製造プロセスの例について説明する(図3参照)。後々チャネル領域、ソース、ドレイン領域になるポリシリコン等の半導体層1がはじめに形成される。その後この半導体層を熱酸化などで酸化することによりゲート絶縁膜8を形成し、その上にシリサイドや高融点金属などによりゲート線およびゲート電極G1P、G1Nを形成する。その後このゲート電極をマスク代わりにしてn'、p'イオン注入をしソース、ドレイン領域を形成することでセルフアライン型のTFTをつくる。この上に層間絶縁膜9を形成した後、ソース、ドレイン部と配線を導電接続するためコンタクトホール5をあけアルミニウムなどの低抵抗金属配線6、7を形成しP型およびN型TFTが完成する。このようにゲート配線G1P、G1Nとアルミニウム配線6、7は層間絶縁膜9で分離されており、コンタクトホールを介してのみこれらの配線は導電接続する構造になっている。このTFTプロセスにおいては、イオン注入法でソース、ドレインを形成した後高温活性化を行う。このためゲート配線はこの高温に耐え得る材料でなければならず低抵抗の金属配線は使えない。従って、通常はポリシリコンやシリサイド等の材料が使われる。この結果、ゲート配線は金属配線より高抵抗になるのが普通である。

【0006】図2に前記データ線駆動回路の映像信号線周辺の基板上でのレイアウトの一部を例示する(ここではスイッチ回路としてCMOSアナログスイッチを使った場合を示す)。データ線駆動回路12と画素マトリクス22との配置上、映像信号線V1、V2、V3と引き出し配線S1、S2、S3・・・とは必然的に交差することになる。このため、図示のように実際の液晶表示装置の基板上では引き出し配線S1、S2、S3・・・は映像信号線と絶縁膜を介して異なった層に配線され、コンタクトホール5を通して必要な映像信号線とのみ導電

接続される。

【0007】図3は図2のスイッチ回路(CMOSアナログスイッチ)の断面図である。絶縁基板上に形成されたPチャンネル、Nチャンネルのトランジスタのソース側7に引き出し配線を介して映像信号線からの映像信号が入力される。データ線駆動タイミング制御部からの信号がスイッチ回路駆動用ゲート電極G1P、G1Nに入力されるとPチャンネルトランジスタあるいはNチャンネルトランジスタの少なくともどちらかのチャネル領域は低抵抗になり、コンタクトホール5を介してドレインに接続されたドレイン側配線6を介してデータ線に映像信号が書き込まれる。

【0008】ここで映像信号線周辺の配線について前記TFTプロセスとの対応を説明する。映像信号線V1～V3は負荷容量が大きくなるので低抵抗配線が必要になり、通常アルミニウムなどの金属配線を用いる。これは前記TFT製造プロセスの金属配線6、7と同じ工程でつくられる。一方、映像信号線と交差する引き出し配線S1～S3は金属配線とは別の層につくらなければならないため層間絶縁膜9を介して映像信号線の下に配置され、前記TFT製造プロセスのゲート配線G1P、G1Nと同じ材料が使われる。金属配線に対してゲート配線は抵抗値が高く、引き出し配線の部分は映像信号線に比べて高抵抗になる。特にプロセス温度が高く金属配線が使えず、シリサイド等の材料が使われる場合配線のシート抵抗はアルミニウム配線より1桁以上高くなる場合がある。例えば膜厚5000Åの配線にアルミニウムを使った場合、この配線のシート抵抗は約0.05Ω前後であるのに対して、同じ配線にポリシリコンを使った場合この配線のシート抵抗は約15Ω前後となる。この結果、映像信号のデータ線への書き込みは引き出し配線の抵抗によって大きく左右される。引き出し配線はそれぞれ異なった映像信号線に接続されるため配線毎の抵抗値のばらつきが生じる。このため、映像信号のデータ線への書き込みにばらつきが生じ、結果表示品質の低下を招く。

【0009】この表示品質の低下を防ぐため、従来図4、図5に示すような方法がとられている。図4の方法では引き出し配線S1、S2、S3・・・の配線幅を配線長に比例させて大きくすることによって配線間の抵抗値のばらつきをなくしている。また、図5の方法(特開平5-307165)では引き出し配線の形状を配線長に応じて変えることによって抵抗値のばらつきを無くしている。

【0010】

【発明が解決しようとする課題】従来のデータ配線を減らす方法はデータ線の負荷が大きくなるので、画素数が多くなりデータ線への信号書き込み時間が短い場合データ線駆動回路の負担の増大につながる。TFTはシリコン基板上につくられた単結晶MOSFETに比べて結晶



性が悪くオン抵抗が高いため、特に駆動回路内蔵型液晶表示装置においてスイッチ回路の負荷が大きくなることは表示品質の低下につながる。したがって、データ線の数には減らさずにスイッチ回路の効率的なレイアウトをする必要がある。

【0011】また、従来の技術では、引き出し配線それぞれの形状を異なったものにするによって配線抵抗の値をそろえていることが特徴である。このため、従来の方法では引き出し配線の抵抗の大きさにパターン依存性がある。すなわち、マスク上では引き出し配線の抵抗値がそろえるようにパターンがつくられていても、実際の基板上のパターンは形状によってできあがり寸法がかわるため結果的には引き出し配線の抵抗値が配線形状毎に異なってくる。このため、できあがった液晶表示装置では依然として表示品質のばらつきが存在する。マスク上においてこのパターン依存性を考慮したパターン設計をする事は困難であるし、仮にできたとしてもこの方法ではプロセス条件が変わると対応できないという問題がある。

【0012】また、アクティブマトリクス液晶表示装置においては、カラー表示、小型高精細化による画素数の増大にともなって映像信号線の本数が増大する傾向がある。これは、映像信号線の本数を増やし、実質的な書き込み周波数を低くするためである。このため前記引き出し配線と映像信号線との交差部の数が増大し、同時に引き出し配線の長さも長くなる。引き出し配線の長さが長くなるほど、従来の方法では引き出し配線のそれぞれの形状の違いがおおきくなるのでパターン依存性が強くなる。言い換えると従来の方法は画素数が多くなり映像信号線の本数が多くなるほど信頼性が低くなるという課題を持っている。

【0013】以上のように従来技術の課題は微細ピッチに対応可能な薄膜トランジスタが必要であることと、これと同時に映像信号の書き込みの均一性を保つことである。

【0014】

【課題を解決するための手段】図1において、基板11上の画素マトリクス22と前記基板の外周縁との間に形成されたデータ線駆動回路12があり、前記外周縁の辺方向（図中横方向）をX方向、前記外周縁から画素マトリクス22の方向（図中縦方向）をY方向とする。本発明は、薄膜トランジスタを用いた回路をY方向にお互いにずらして配置することによってX方向のレイアウトを微細ピッチにも対応可能とし、またスイッチ回路と映像信号線の配置を最適化することで引き出し配線の配線間ばらつきを抑えることを特徴とする。また、引き出し配線の形状をそろえることでプロセス依存性がなく、しかも抵抗値を一定とし、微細なピッチに対応するレイアウトを可能とすると同時に表示特性のばらつきを解消し、表示性能の向上をはかっていることを特徴とする。

【0015】

【実施例】

（実施例1）図6に薄膜トランジスタを使って構成したスイッチ回路を液晶表示装置の駆動回路に応用した場合の本発明の実施例を示す。ここではスイッチ回路および映像信号線周辺の配線構造の一部を例示する。3本の映像信号線V1、V2、V3は引き出し配線S1～S3及びスイッチ回路SW1～SW3を介して各データ線X1～3に接続される。各スイッチ回路は駆動タイミング制御部から出力されたビット信号がスイッチ回路駆動用ゲート線G123に印加されるタイミングに従って高抵抗と低抵抗の切り換え動作をする。

【0016】アナログスイッチ等のスイッチ回路では短時間に映像信号をデータ線に書き込まなければならず、このためには選択状態で充分低抵抗になる必要がある。しかしTFTは単結晶MOSFETと比べて結晶性が悪いのでTFTをもちいてアナログスイッチ等のスイッチ回路を構成した場合、充分低いオン抵抗を得るためにはチャンネル幅を大きくとる必要がある。実際、単結晶MOSFETの場合に比べて1桁以上チャンネル幅を大きくとらなければならない。また、チャンネル長も単結晶MOSFETのように小さくはできないためX方向のピッチを小さくするには限界があり、結果的にスイッチ回路は駆動回路においてかなりの大面積を占めることになる。従って、液晶表示装置の駆動回路においてはこのスイッチ回路をいかに小さなスペースに効率的に配置するかが小型高精細化のポイントになる。またカラーフィルタを用いてカラー表示をする場合、R、G、Bのそれぞれの色の映像信号を外部から入力するので、映像信号線の本数は一般的に3n本（nは正の整数）となる。これらの信号を各データ線に書き込むスイッチ回路のオンオフのタイミングは少なくとも3色の信号を書き込む際にそろっていないなければならない。

【0017】図6に示す本発明の薄膜トランジスタ回路は隣接するスイッチ回路SW1～3がY方向（図中縦方向）にスイッチ回路を構成するTFTのチャンネル幅（W）以上離れて配置されている（図6中ではD>W）ことを特徴とする。これによりスイッチ回路を図示のように互いにX方向（図中横方向）にずらして配置すればスイッチ回路1個あたりのX方向のピッチを小さくすることができ、微細な画素ピッチに対応可能となるので液晶表示装置の小型高精細化が容易になる。

【0018】単結晶MOSFETの場合、シリコン基板上の配線が長いとその分だけ配線とシリコン基板との間に容量が発生するので、配線長はとにかく短くするのが鉄則である。薄膜トランジスタで構成したスイッチ回路は前述のようにかなり長いチャンネル幅が必要なためY方向に大きくなり、図6に示す配置をとった場合引き出し配線S1～S3の配線長が相当長くなってしまふ。これがシリコン基板上の配線の場合寄生する容量の問題が大

きいが、絶縁基板上の薄膜トランジスタにおける配線では、配線と基板間の容量が一切生じないので配線長が長くなることはほとんど問題とならない。従って本発明のスイッチ回路の配置は特に薄膜トランジスタを用いて回路を形成した場合に有効である。

【0019】図7に本発明の薄膜トランジスタ回路を示す。本発明の薄膜トランジスタ回路は複数のスイッチ回路がスイッチ回路駆動用ゲート線を共有していることを特徴とする。3個のスイッチ回路SW1～SW3はスイッチ回路駆動用ゲート線G1～G3に入力される信号で駆動される。これらスイッチ回路駆動用ゲート線G1～G3は1本のスイッチ回路駆動用ゲート線G123と導電接続されていてこのG123のみが映像信号線を横切るレイアウトになっている。図7に示す本発明の配置では、スイッチ回路3個がスイッチ回路駆動用ゲート線を共有しているのでこれら3個のスイッチ回路を駆動するために映像信号線を横切っているスイッチ回路駆動用ゲート線の本数は1本であり、これによりスイッチ回路駆動用ゲート線と映像信号線とが交差する点が3箇所だけで済んでいる。これに対して図4、図5に示す従来の配線では3個のスイッチ回路SW1～SW3を駆動するために3本のスイッチ回路駆動用ゲート線G1～G3を配線しており、スイッチ回路駆動用ゲート線と映像信号線V1～V3との交差する点は9箇所もある。この様に複数のスイッチ回路でゲート線を共有する事によりスイッチ回路駆動用ゲート線と映像信号線との交差する点の数を減らすことができるので、これにともない配線間の短絡欠陥による歩留まりの低下を防ぐことができる。同時に映像信号線とスイッチ回路駆動用ゲート線との間の配線間容量が少なくなるため映像信号線の負荷容量が小さくなり、映像信号線に映像信号を書き込む外部回路の負担も小さくすることができる。

【0020】さらに図6のようにスイッチ回路SW1～SW6をY方向にチャンネル幅W以上離して配置することによってスイッチ回路駆動用ゲート線G123、G456を共有させることもできる。図6に示すように、Y方向にお互い離して配置したスイッチ回路SW1～SW6の間にスイッチ回路駆動用ゲート線G123、G456をレイアウトできるだけのY方向スペースを設ける。スイッチ回路のチャンネル幅Wにスイッチ回路駆動用ゲート線の前記Y方向レイアウトスペースを加えた長さをDとすると、少なくともそれぞれのスイッチ回路をピッチDだけY方向に離して配置すればY方向にずらして配置したスイッチ回路間で図示のようにスイッチ回路駆動用ゲート線を配置することができる。これによりスイッチ回路駆動用ゲート線の共有が可能になる。このレイアウトにより、ゲート配線が占めるスペースを節約し微細ピッチに対応可能となるだけでなく、スイッチ回路駆動用ゲート線を共有しているスイッチ回路を全く同じタイミングで駆動することができる。駆動タイミングをそろえな

ければならないスイッチ回路をY方向にチャンネル幅以上離して配置しこれらのゲート線を共有させれば、これらのスイッチ回路は必ず同じタイミングで駆動される。以上のようにスイッチ回路をY方向にチャンネル幅以上離してスイッチ回路駆動用ゲート線を共有する配置により、微細化に対応できると同時にスイッチ回路の駆動タイミングをそろえる事ができ、さらに映像信号線と交差するスイッチ回路駆動用ゲート線の減少により歩留まり向上、外部回路の負担の軽減ができ、本発明の配置はスイッチ回路に応用した場合特に有効である。

【0021】本発明の薄膜トランジスタ回路は、スイッチ回路同志のY方向ピッチをD、映像信号線の配線幅をWV、映像信号線の配線間距離をSVとしたとき $D=WV+SV$ であることを特徴とする。ここで図6に示すように、Dはそれぞれ隣あうスイッチ回路のY方向パターンピッチで、WVは映像信号線のY方向の配線幅、SVは映像信号線間のY方向に離れている距離で決定している。このような条件を満たすように映像信号線とスイッチ回路のサイズを設定することによって、スイッチ回路と映像信号線との距離を容易にそろえることができる。これによってスイッチ回路と映像信号線とを接続する引き出し配線の配線長を全て同じにすることができるので、引き出し配線の抵抗値のばらつきをおさえることができ、映像信号のデータ線への書き込み特性が向上する。これと同時に、引き出し配線の配線長が同じであるので引き出し配線の抵抗値は単純に引き出し配線の配線幅で決定される。したがって設計段階において配線抵抗の計算が容易になり、設計の効率化がはかれる。

【0022】図8に映像信号線とスイッチ回路の接続に関する本発明の薄膜トランジスタ回路の概略図を示す。本発明の薄膜トランジスタは映像信号線の本数が $m \times n$ 本( $m, n$ は正の整数)であってm個のスイッチ回路をY方向に互いにそのチャンネル幅以上離して配置したとき、このm個のスイッチ回路が引き出し配線を介して接続している映像信号線は $m \times n$ 本の映像信号線においてn本に1本の間隔であることを特徴とする。スイッチ回路と映像信号線の接続を前記のように組み合わせることによって、これら映像信号線とスイッチ回路とを接続する引き出し配線間の長さのばらつきを最小にする事ができる。例えば図8では映像信号線6本に対して、 $m=3, n=2$ として配置を行っている。3個( $=m$ )のスイッチ回路SW1、SW2、SW3がY方向にチャンネル幅以上離れて配置されていて、これらのスイッチ回路が引き出し配線S1、S2、S3を介して接続されている映像信号線はそれぞれV1、V2、V3でこれらの映像信号線は2本( $=n$ )に1本の間隔になっている。もしSW3がV3に接続されていてその隣のSW2がV6に、その隣のSW1がV2に接続されていると、その他の引き出し配線S4、S5、S6は必然的にS1、S2、S3の引き出し配線より短くなってしまふ。しかし



本発明の接続方法に従って映像信号線とスイッチ回路を接続すれば引き出し配線の配線長のばらつきを最小にすることができる。さらにスイッチ回路と映像信号線が占めるスペースを適当に設定すれば、映像信号線とスイッチ回路との距離を全てそろえることも可能になる。

【0023】また図8に示すように、引き出し配線の配線長 $L_S$ をそろえると同時に配線幅を全ての引き出し配線で同じにすることで、全ての引き出し配線の形状を同じにすることができる。ここで引き出し配線の配線長を図8に示すように引き出し配線がそれぞれ映像信号線、

スイッチ回路と導電接続するコンタクトホールの間隔 $L_S$ で定義する。図8において引き出し配線 $S_1 \sim S_6$ では全て配線長 $L_S$ 、及び配線幅が同じで、抵抗値が一定になるようにつくられている。

【0024】液晶表示装置において、映像信号線、引き出し配線、スイッチ回路、データ線の一連の経路を全体としてみた場合、これは直列に接続された抵抗と並列に接続された容量からなる低域通過回路を形成している。したがって映像信号をどれだけデータ線に書き込めるかは前記抵抗値と容量値の積である時定数で決まる。従って、この時定数がデータ線毎に異なると不均一な書き込みが行われてしまう。これを防ぐためには、前記一連の経路で特に引き出し配線の抵抗値を揃える必要がある。液晶表示装置の配線は基板との間に生じる負荷容量がないので、配線長よりも配線抵抗のばらつきの方が映像信号の書き込みに与える影響が大きい。前記のように引き出し配線の形状（長さ）と幅をそろえることで映像信号線から引き出し配線、アナログスイッチを通してデータ線に書き込まれる映像信号の経路の形状は全て同じとなり、書き込み特性のばらつきによる表示品質の低下を防ぐことができる。同時に、形状が全ての映像信号の経路で同じであるのでパターン依存性がなく基板上的パターンは常に同様のできあがり形状になる。また薄膜トランジスタの形成プロセスが変わってもできあがりの形状は常に同じになる。このため、プロセスに左右されない安定した書き込み特性をもった薄膜トランジスタ回路が得られる。

【0025】図9に引き出し配線として高融点の金属を用いた場合の実施例を示す。前述のように引き出し配線としてシリサイドなどの配線を使った場合に比べて、タンタル、タングステン、クロム等の高融点金属を使うことにより、高温のプロセスを使えと同時に引き出し配線 $S_1 \sim S_6$ の抵抗値を1桁以上小さくする事ができる。このため引き出し配線の抵抗による映像信号のデータ線への書き込み特性の低下を気にせずすみ、図9に示すように映像信号線間の距離 $S_V$ を大きくとることができる。これにより、映像信号線どうしの配線間容量が小さくなり、映像信号線の容量自体を小さくすることができる。映像信号線などの絶縁基板の長い配線では基板との間の容量はないかわりに、隣あう配線同志の容量

が効いてくる。特に映像信号線のような長い配線ほどこれが顕著になる。図示の様に配線間距離を大きくとることによって配線間の容量を小さくし、映像信号線への外部からの映像信号の書き込みを向上させることができる。このように引き出し配線に高融点材料を用いることにより映像信号線の時定数を小さくし高周波の映像信号の書き込み特性を向上させることができ、良好な周波数特性をもった薄膜トランジスタ回路を得ることができる。

【0026】（実施例2）本発明の液晶表示装置は図1のブロック図に示すスイッチ回路周辺の配線構造として、図6に示すレイアウトをもつことを特徴とする。通常カラーフィルタを使ってカラー表示を行う場合、データ線駆動回路側から赤（R）、緑（G）、青（B）に対応する映像信号を入力する。従って、白黒表示の場合と同等の画素サイズで考えると、同じ画素をX方向に3分割してそれぞれの画素にR、G、Bのカラーフィルタを対応させることになる。すなわち、X方向の画素数が3倍、画素ピッチにすると3分の1になる。このため特にカラー表示の場合、データ線駆動回路においてX方向の薄膜トランジスタ回路をいかに微細ピッチに対応させるかが小型高精細化を決定する。図6に示すスイッチ回路のレイアウトのようにスイッチ回路をY方向にそのチャネル幅以上離して配置することでスイッチ回路1個あたりが占めるX方向のピッチを小さくし、データ線への書き込み能力を保ちながらX方向の微細ピッチに対応する事が可能となる。これにより、液晶表示装置のサイズを変えずに、カラー表示に対応可能とする事ができる。

【0027】また、本発明の液晶表示装置は図1のブロック図に示すスイッチ回路周辺の配線構造として図6の配線構造を持つことを特徴とする。映像信号線の本数をここでは6本の場合を示す。3個のスイッチ回路をY方向に省スペース配置し、これら3個のスイッチ回路はスイッチ回路駆動用ゲート線を共有している。これと同時にこれら3個のスイッチ回路が引き出し配線を介して接続している映像信号線 $V_1$ 、 $V_2$ 、 $V_3$ にはそれぞれR、G、B3原色に対応する映像信号が外部から入力されている。スイッチ回路駆動用ゲート線を共有している前記3個のスイッチ回路は信号がスイッチ回路駆動用ゲート線に入力されると必ず同時に低抵抗状態になるためR、G、Bの映像信号を全く同じタイミングでデータ線に書き込むことができる。これによりR、G、Bそれぞれの信号の書き込みタイミングのずれによる色むらを低減することができ良好な表示特性をもった液晶表示装置を得ることができる。

【0028】さらに本発明の液晶表示装置は図1のブロック図に示すスイッチ回路周辺の配線構造として、図8に示すレイアウトを持つことを特徴とする。カラー表示をする場合映像信号線は必然的に複数必要になり、それ

ぞれの信号の書き込みにばらつきがないことが要求される。図 8 のレイアウトを用いることにより引き出し配線の形状を全てのデータ線に関してほぼ同じにできるので、データ線毎の書き込み特性のばらつきを無くすことができ、この結果データ線毎の輝度のむらを無くすことができる。

【0029】本発明の液晶表示装置は図 1 のブロック図に示すスイッチ回路周辺の配線構造として、高融点金属の引き出し配線材料を使い、図 9 に示すレイアウトを持つことを特徴とする。映像信号線の配線間容量が大きくなると、映像信号を映像信号線に書き込むための外部回路の負担が大きくなる。これは外部回路の出力抵抗を低くして時定数を下げなければならないため外部回路の消費電流が大きくなってしまからである。本発明の液晶表示装置においては引き出し配線に高融点金属配線を使っているため、引き出し配線の長さを気にせずによく、この結果映像信号線同志の配線間距離を充分にとることができる。したがって外部回路の負担を軽減することができる。

#### 【0030】

【発明の効果】以上述べたように本発明の薄膜トランジスタ回路は、隣接するスイッチ回路が該スイッチ回路のチャンネル幅以上 Y 方向に離れているのでスイッチ回路同志を X 方向につめて配置でき、スイッチ回路 1 個あたりが占める X 方向のピッチを小さくすることができる。従って微細ピッチ化が可能となる。また、複数のスイッチ回路がスイッチ回路駆動用ゲート線を共有しているので映像信号線と交差するスイッチ回路駆動用ゲート線の本数が少なくでき、これによって映像信号線とスイッチ回路駆動用ゲート線との交差部での短絡による欠陥を減らす事ができ歩留り向上、コスト削減につながる。さらに隣接するスイッチ回路を Y 方向にそのチャンネル幅とスイッチ回路駆動用ゲート線を配置するスペースの分だけ離して配置し、スイッチ回路駆動用ゲート線を共有しているのでさらに微細ピッチ化ができると同時にスイッチ回路の駆動タイミングを完全に一致させることができる。これと同時に映像信号線を横切るスイッチ回路駆動用ゲート線の本数が減少するので歩留まりが向上し、映像信号を映像信号線に書き込む外部回路の負担を軽減できる。また映像信号線の配線幅を W V、配線間距離を S V、スイッチ回路の Y 方向のパターンピッチを D としたとき  $D = W V + S V$  としていて映像信号線とスイッチ回路との距離が容易に等しくできるので、引き出し配線の配線長のばらつきをおさえることができ映像信号のデータ線への書き込み特性が向上すると同時に設計段階に於ける効率化もはかることができる。さらに映像信号線とスイッチ回路とを接続する際の組み合わせを最適化しているので、引き出し配線の距離のばらつきを最小に抑えることができる。加えてスイッチ回路の大きさと映像信号線のスペースを適当に設定すれば、スイッチ回路と映像信号

線との距離を全て同じにすることも可能となる。また、引き出し配線の配線長と配線幅が全ての引き出し配線でほぼ等しいから、製造工程のばらつきやプロセスの変更等によって配線の形状が変化しても常に引き出し配線の抵抗を回路内で一定にする事ができ出力信号のばらつきを防止できる。一方、引き出し配線の材料を高融点の金属としたから引き出し配線の抵抗値を非常に小さくできる。これにより映像信号線同志の間隔を広くとることもでき、結果映像信号線間の配線間容量を小さくし映像信号の書き込み特性の向上をはかることができる。

【0031】本発明の液晶表示装置は微細ピッチに対応可能な薄膜トランジスタを用いて駆動回路を構成しているから小型化と高精細化が可能である。特にスイッチ回路の微細化ができるので同じ液晶表示装置のサイズでカラー化することができる。そして、R、G、B の映像信号をデータ線に書き込む 3 個のスイッチ回路がスイッチ回路駆動用ゲート線を共有しているので、これら 3 原色の書き込みタイミングが完全に一致しており色むらのない良好な表示特性を得ることができる。また、引き出し配線の形状が製造工程に左右されない薄膜トランジスタ回路を用いているためデータ線ごとの輝度ムラの生じない良好な表示品質を得ることができる。更に引き出し配線に高融点金属を用い映像信号線の配線間容量を小さくしているから映像信号を液晶表示装置に入力する外部回路の負担を小さくすることができる。

#### 【図面の簡単な説明】

【図 1】 液晶表示装置の全体構成を示すブロック図。

【図 2】 図 1 のデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

【図 3】 図 2 のスイッチ回路の断面図。

【図 4】 従来のデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

【図 5】 従来のデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

【図 6】 本発明の薄膜トランジスタを用いたデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

【図 7】 本発明の薄膜トランジスタを用いたデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

【図 8】 本発明の薄膜トランジスタを用いたデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

【図 9】 本発明の薄膜トランジスタを用いたデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

#### 【符号の説明】

1 1 . . . 透明基板

1 2 . . . データ線駆動回路

2 1 . . . 走査線駆動回路

17

22・・・画素マトリクス

V1、V2、V3、V4、V5、V6・・・映像信号線

SW1、SW2、SW3、SW4、SW5、SW6・・・

・スイッチ回路

S1、S2、S3、S4、S5、S6・・・引き出し配線

P1、P2、P3・・・画素マトリクス

X1、X2、X3、X4、X5、X6・・・データ線

Y1、Y2、Y3・・・走査線

G1、G2、G3、G4、G5、G6、G123、G4 10

56・・・スイッチ回路駆動用ゲート線

1・・・半導体層（P領域、N領域を含む）

2・・・液晶セル

3・・・保持容量

4・・・画素トランジスタ

18

5・・・コンタクトホール

6・・・スイッチ回路のドレイン側配線

7・・・スイッチ回路のソース側配線

8・・・ゲート絶縁膜

9・・・層間絶縁膜

G1P、G2P、G3P・・・スイッチ回路のPチャネル駆動用ゲート線

G1N、G2N、G3N・・・スイッチ回路のNチャネル駆動用ゲート線

D・・・隣あうスイッチ回路間のY方向のパターンピッチ

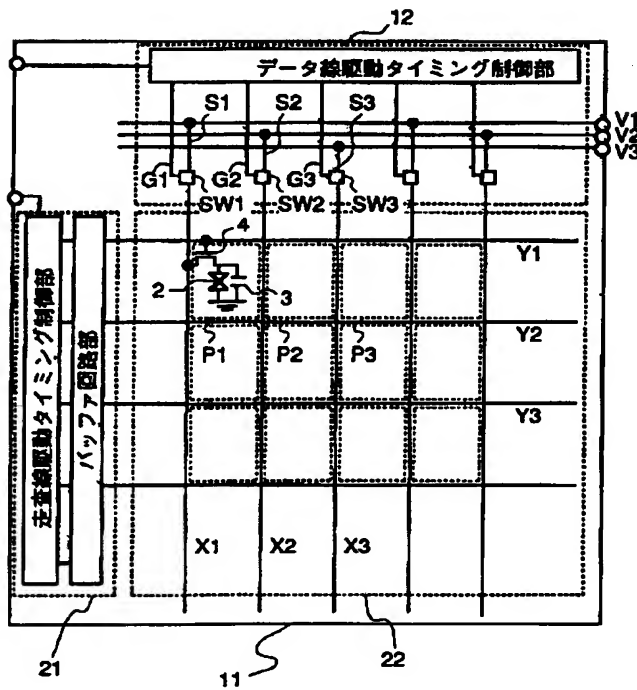
W・・・スイッチ回路のチャネル幅

WV・・・映像信号線の配線幅

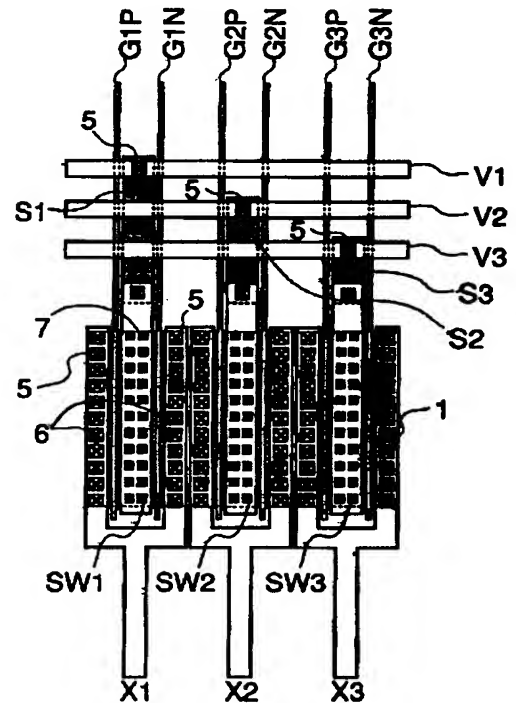
SV・・・映像信号線の配線間距離

LS・・・引き出し配線の配線長

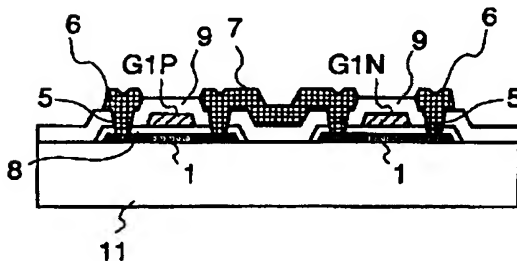
【図1】



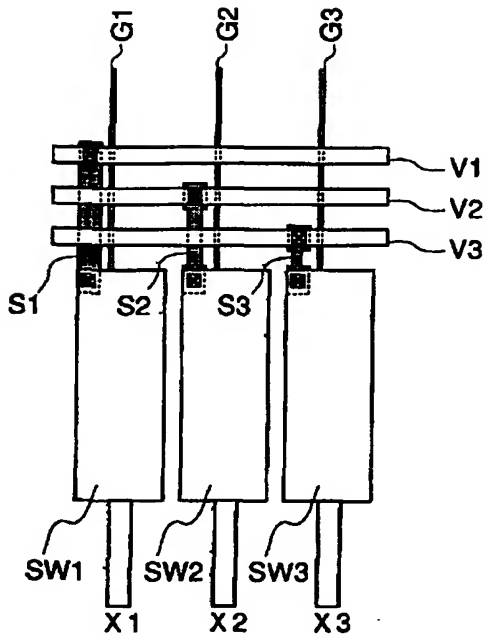
【図2】



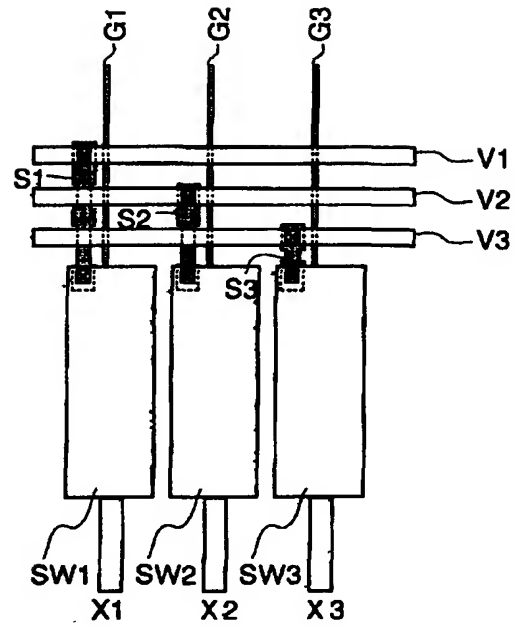
【図3】



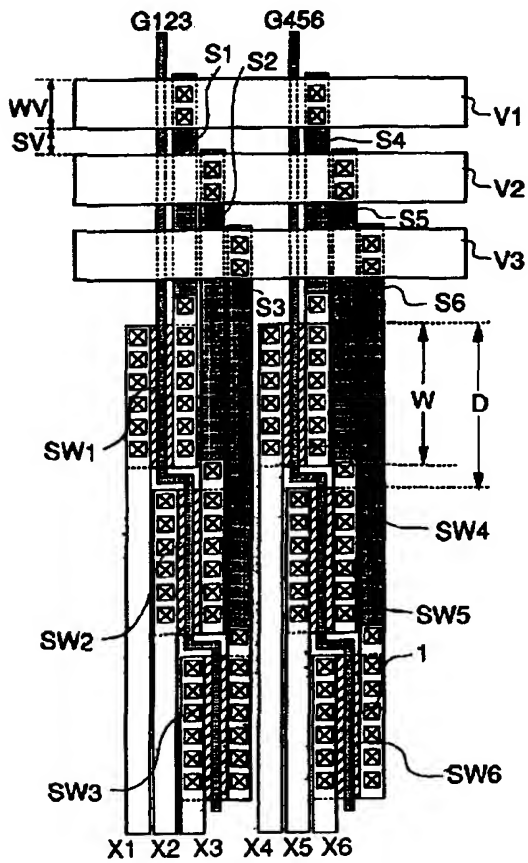
【図 4】



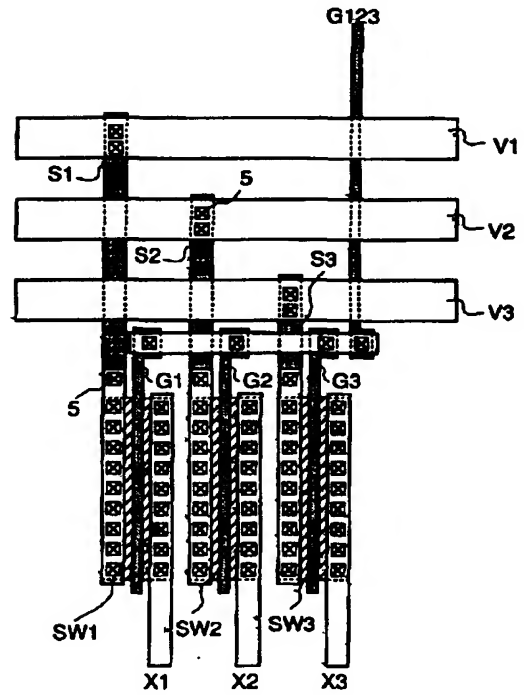
【図 5】



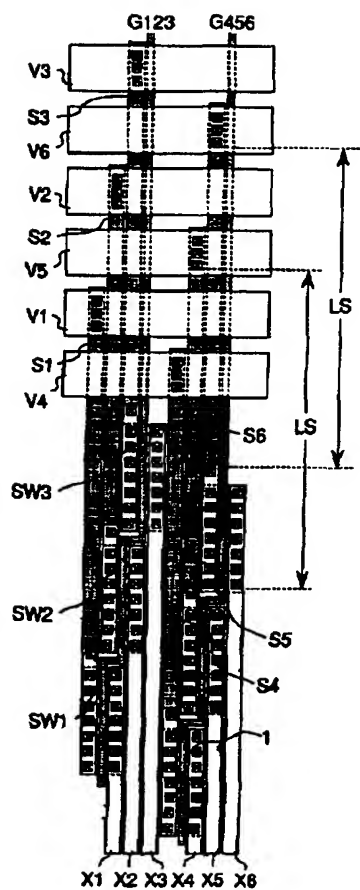
【図 6】



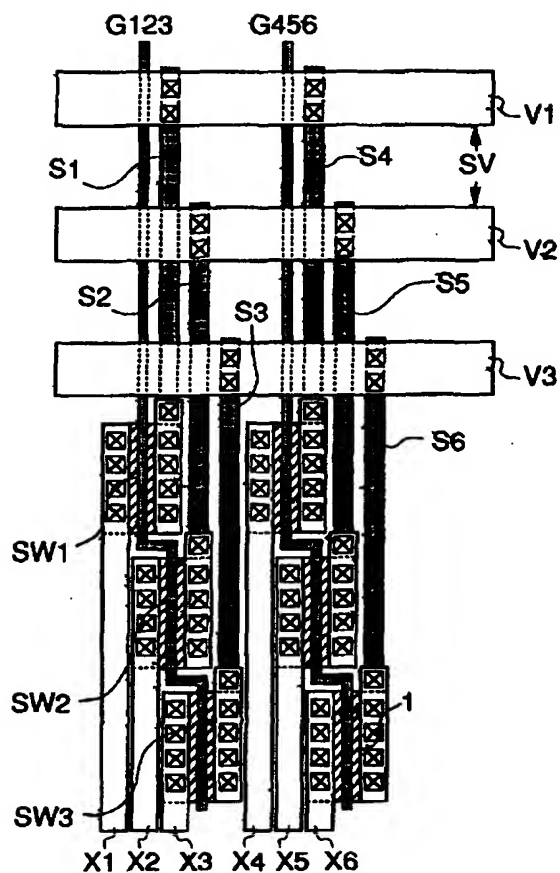
【図 7】



【図 8】



【図 9】



フロントページの続き

(51) Int. Cl.<sup>4</sup>

H 0 1 L 29/786

識別記号

庁内整理番号

F I

技術表示箇所